

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-204776

(43)Date of publication of application : 30.07.1999

(51)Int.CI.

H01L 29/762
H01L 21/339
H01L 21/265
H01L 27/148

(21)Application number : 10-020432

(71)Applicant : SONY CORP

(22)Date of filing : 16.01.1998

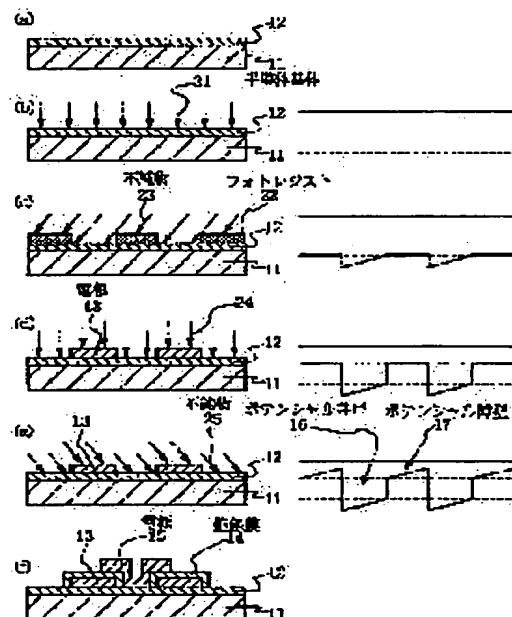
(72)Inventor : FUTAWATARI TOMOO

(54) CHARGE COUPLED DEVICE AND ITS MANUFACTURE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a charge coupled device of high reliability and yield which enables low voltage driving, micromachining, etc., and its manufacturing method.

SOLUTION: A bottom surface of a potential well 16 and a top surface of a potential barrier wall 17 are sloped and lowered toward a transferring direction of charges. Deterioration of transferring efficiency is thereby small when potential dip exists, and charges can be smoothly transferred. Since deterioration of transferring efficiency is small when potential dip exists, electrodes 13, 15, an insulating film 14, etc., can be simply formed, and short circuit between the electrodes 13, 15 and deterioration of withstand voltage or the like of the insulating film 14 can be reduced.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平11-204776

(43)公開日 平成11年(1999)7月30日

(51)Int.Cl.
H 01 L 29/762
21/339
21/265
27/148

識別記号

F I
H 01 L 29/76 301 A
21/265 V
27/148 B

審査請求 未請求 請求項の数7 FD (全6頁)

(21)出願番号

特願平10-20432

(22)出願日

平成10年(1998)1月16日

(71)出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72)発明者 二渡 智雄

鹿児島県国分市野口北5番1号 ソニー国
分株式会社内

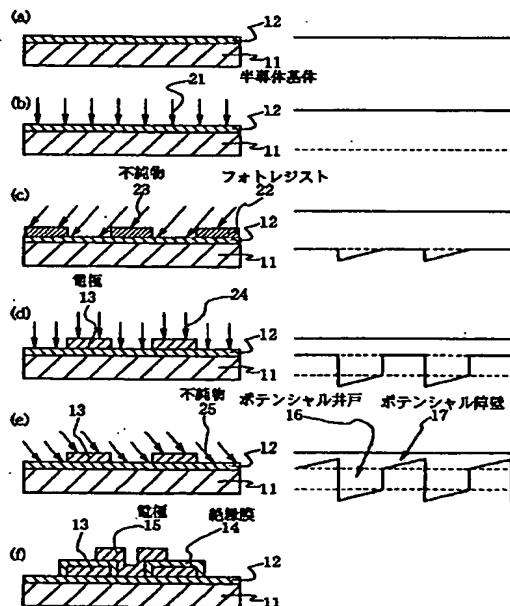
(74)代理人 弁理士 土屋 勝

(54)【発明の名称】 電荷結合素子及びその製造方法

(57)【要約】

【課題】 信頼性及び歩留りが高く、低電圧駆動や微細化等も可能な電荷結合素子及びその製造方法を提供す
る。

【解決手段】 ポテンシャル井戸16の底面とポテンシ
ャル壁17の頂面とが電荷の転送方向へ傾斜して低く
なっている。このため、ポテンシャルディップが存在し
ていても転送効率の低下が少なく、電荷を円滑に転送す
ることができる。また、ポテンシャルディップが存在し
ていても転送効率の低下が少ないので、電極13、15
や絶縁膜14等を簡略的に形成することができて、電極
13、15同士の短絡や絶縁膜14の耐圧低下等を少な
くすることができます。



【特許請求の範囲】

【請求項1】 半導体基体上で第1の電極と第2の電極とが絶縁膜を介して交互に配列されており、前記第1及び第2の電極に対応して前記半導体基体中に夫々ポテンシャル井戸及びポテンシャル障壁が設けられており、前記ポテンシャル井戸に蓄積されている電荷が隣接の前記ポテンシャル井戸へ順次に転送される電荷結合素子において、

前記ポテンシャル井戸の底面と前記ポテンシャル障壁の頂面とが前記転送方向へ傾斜して低くなっていることを特徴とする電荷結合素子。

【請求項2】 固体撮像素子の水平転送部になっていることを特徴とする請求項1記載の電荷結合素子。

【請求項3】 半導体基体上で第1の電極と第2の電極とが絶縁膜を介して交互に配列されており、前記第1及び第2の電極に対応して前記半導体基体中に夫々ポテンシャル井戸及びポテンシャル障壁が設けられており、前記ポテンシャル井戸に蓄積されている電荷が隣接の前記ポテンシャル井戸へ順次に転送される電荷結合素子の製造方法において、

前記半導体基体のうちで前記ポテンシャル井戸の形成予定領域の各々に、ポテンシャルを低くする第1の不純物を前記転送方向の上流側では相対的に少なく下流側では相対的に多く導入する工程と、

前記半導体基体のうちで前記ポテンシャル障壁の形成予定領域の各々に、ポテンシャルを高くする第2の不純物を前記転送方向の上流側では相対的に多く下流側では相対的に少なく導入する工程とを具備することを特徴とする電荷結合素子の製造方法。

【請求項4】 前記ポテンシャル井戸の形成予定領域上に開口を有する第1のマスク層を前記半導体基体上に形成する工程と、

前記第1のマスク層をマスクにして、前記上流側が前記第1のマスク層の陰になる斜め方向から前記第1の不純物を前記半導体基体にイオン注入する工程と、

前記ポテンシャル障壁の形成予定領域上に開口を有する第2のマスク層を前記半導体基体上に形成する工程と、前記第2のマスク層をマスクにして、前記下流側が前記第2のマスク層の陰になる斜め方向から前記第2の不純物を前記半導体基体にイオン注入する工程とを具備することを特徴とする請求項3記載の電荷結合素子の製造方法。

【請求項5】 前記第1及び第2の電極の一方を前記第1及び第2のマスク層の一方として用いることを特徴とする請求項4記載の電荷結合素子の製造方法。

【請求項6】 前記第1及び第2の不純物の少なくとも一方を、角度が互いに異なる複数の前記斜め方向からイオン注入することを特徴とする請求項4記載の電荷結合素子の製造方法。

【請求項7】 固体撮像素子の水平転送部を形成すること

とを特徴とする請求項3記載の電荷結合素子の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本願の発明は、2相の駆動パルスに同期させて電荷を転送する2相駆動方式の電荷結合素子及びその製造方法に関するものである。

【0002】

【従来の技術】図4(a)は、2相駆動方式の電荷結合素子を示している。即ち、半導体基体11の表面に絶縁膜12が形成されており、半導体基体11上の第1層目の導電膜で第1の電極13が形成されている。第1の電極13は絶縁膜14に覆われており、第1の電極13同士の間に半導体基体11上の第2層目の導電膜で第2の電極15が形成されている。

【0003】図6は、本願の発明の一従来例の電荷結合素子によって電荷が転送される際のポテンシャル図である。この図6から明らかなる様に、例えば第1及び第2の電極13、15に対応して半導体基体11中に夫々ポテンシャル井戸16及びポテンシャル障壁17が設けられている。

【0004】この一従来例の電荷結合素子によって電荷が転送される際には、互いに隣接している一組の第1及び第2の電極13、15には同相の駆動パルス ϕ_1 が印加され、その隣の組の第1及び第2の電極13、15には別の相の駆動パルス ϕ_2 が印加される。そして、これら2相の駆動パルス ϕ_1 、 ϕ_2 の極性の反転に伴って、ポテンシャル井戸16に蓄積されている電荷18がポテンシャル障壁17上を通過して隣接のポテンシャル井戸16へ順次に転送される。

【0005】ところで、図6に示した様に、一従来例の電荷結合素子では、ポテンシャル井戸16の底面とポテンシャル障壁17の頂面との何れもが電荷18の転送方向と平行である。このため、図5に示す様に、ポテンシャルディップ19が存在していると、電荷18を転送しても電荷18の一部がポテンシャルディップ19に取り残される。この結果、転送効率が悪くなってしまって転送不良が生じていた。また、電荷を円滑に転送することができないために低電圧駆動や微細化が困難であった。

【0006】ポテンシャルディップ19は、電極13と電極15とが互いに離間していて、電極13、15から半導体基体11中へ十分な電界を及ぼすことができない場合や、電極13の側面における絶縁膜14の影響によって、電極15から半導体基体11中へ十分な電界を及ぼすことができない場合や、製造時に絶縁膜14上にダストが付着して、ポテンシャル井戸16やポテンシャル障壁17を形成するための不純物のイオン注入を良好に行うことができない場合等に生じる。

【0007】そこで、従来は、電極13と電極15との離間を防止するために電極13と電極15との重疊量a

を多くしたり、半導体基体11中へ電界を及ぼし易くするために図4(b)に示す様に電極13の側面を傾斜させたり、絶縁膜14の厚さを薄くしたりしていた。また、製造時のダストの付着を防止するためには、高度にクリーンな設備を用いて電荷結合素子を製造する必要がある。

【0008】

【発明が解決しようとする課題】しかし、電極13と電極15との重疊量aを多くすると、電極15同士の間隔cが狭くなり、電極15同士の短絡が生じ易くなつて、歩留りが低下する。また、電極13の側面を均一な角度で傾斜させることは、技術的に容易でないのみならず、電極13同士の間隔dが狭くなり、電極13同士の短絡が生じ易くなつて、歩留りが低下する。

【0009】また、絶縁膜14の厚さを薄くすると、絶縁膜14の耐圧が低下し、製造時の静電気等による電極13、15の静電破壊等によって、歩留りが大幅に低下するおそれがある。また、高度にクリーンな設備を用いることは、量産に適していない。

【0010】従って、本願の発明は、信頼性及び歩留りが高く、低電圧駆動や微細化が可能であり、更に、開発コストの低減やチップの縮小が可能な電荷結合素子及びその製造方法を提供することを目的としている。

【0011】

【課題を解決するための手段】請求項1に係る電荷結合素子では、ポテンシャル井戸の底面とポテンシャル障壁の頂面とが電荷の転送方向へ傾斜して低くなっているので、ポテンシャルディップが存在していても転送効率の低下が少なく、電荷を円滑に転送することができる。

【0012】また、ポテンシャルディップが存在しても転送効率の低下が少ないので、半導体基体上の第1及び第2の電極や絶縁膜等を簡略的に形成することができて、電極同士の短絡や絶縁膜の耐圧低下等を少なくすることができる。更に、電荷を円滑に転送することができるので、電荷を円滑に転送するための内部回路を省略することができる。

【0013】請求項2に係る電荷結合素子では、この電荷結合素子が固体撮像素子の水平転送部になっているので、固体撮像素子における信号電荷の転送効率が高い。

【0014】請求項3に係る電荷結合素子の製造方法では、ポテンシャル井戸の形成予定領域にはポテンシャルを低くする第1の不純物を導入し、ポテンシャル障壁の形成予定領域にはポテンシャルを高くする第2の不純物を導入するので、ポテンシャル井戸の底面とポテンシャル障壁の頂面とが電荷の転送方向へ傾斜させて低くするにも拘らず、ポテンシャル障壁に対するポテンシャル井戸の相対的な深さが浅くならない。

【0015】請求項4に係る電荷結合素子の製造方法では、第1及び第2のマスク層を用いた斜め方向からのイオン注入によって第1及び第2の不純物を半導体基体に

導入するので、ポテンシャル井戸の底面とポテンシャル障壁の頂面とが電荷の転送方向へ容易に傾斜させて低くすることができる。

【0016】請求項5に係る電荷結合素子の製造方法では、第1及び第2の不純物をイオン注入する際の第1及び第2のマスク層の一方として第1及び第2の電極の一方を用いるので、不純物をイオン注入する際のマスク層の形成工程が少なくてよい。

【0017】請求項6に係る電荷結合素子の製造方法では、第1及び第2の不純物の少なくとも一方を、角度が互いに異なる複数の斜め方向からイオン注入するので、ポテンシャル井戸及びポテンシャル障壁の形成予定領域の各々において第1及び第2の不純物の濃度を容易に傾斜させることができて、ポテンシャル井戸の底面とポテンシャル障壁の頂面とが電荷の転送方向へ容易に傾斜させて低くすることができる。

【0018】請求項7に係る電荷結合素子の製造方法では、この電荷結合素子で固体撮像素子の水平転送部を形成するので、信号電荷の転送効率が高い固体撮像素子を製造することができる。

【0019】

【発明の実施の形態】以下、固体撮像素子の水平転送部及びその製造方法に適用した本願の発明の一実施形態を、図1～3を参照しながら説明する。本実施形態の電荷結合素子を製造するためには、図1(a)に示す様に、Si基板等である半導体基体11の表面に酸化またはCVDで絶縁膜12を形成する。この状態における半導体基体11中のポテンシャルが、図1(a)中の右側に実線で示されている。

30 【0020】次に、図1(b)に示す様に、電荷転送部の形成予定領域の全面にAsやP等のN型の不純物21をイオン注入する。この結果、図1(b)中の右側に点線で示されている様に、図1(a)の状態に比べて、半導体基体11中のポテンシャルが低くなる。

【0021】次に、図1(c)に示す様に、第1の電極13の形成予定領域上に開口を有するフォトレジスト22をフォトリソグラフィで絶縁膜12上に形成し、このフォトレジスト22をマスクにして、電荷18の転送方向の上流側がフォトレジスト22の陰になる斜め方向からN型の不純物23を半導体基体11にイオン注入する。

【0022】このイオン注入では、不純物23は、第1の電極13の形成予定領域のうちで電荷18の転送方向の上流側には相対的に少なく導入され、下流側には相対的に多く導入される。この結果、図1(c)中の右側に示されている様に、図1(b)の状態に比べて、第1の電極13の形成予定領域における半導体基体11中のポテンシャルが電荷18の転送方向へ傾斜して低くなる。

【0023】次に、不純物が添加された多結晶Si膜等である導電膜を絶縁膜12上に堆積させ、フォトリソグ

50

ラフィで第1の電極13のパターンのフォトレジスト(図示せず)を導電膜上に形成する。そして、このフォトレジストをマスクにして等方性エッティングまたは異方性エッティングを導電膜に施して、図1(d)に示す様に、第1の電極13を形成する。

【0024】その後、電極13をマスクにして、B等のP型の不純物24を半導体基体11にイオン注入する。この結果、図1(d)中の右側に示されている様に、図1(c)の状態に比べて、第2の電極15の形成予定領域における半導体基体11中のポテンシャルが高くなる。

【0025】次に、図1(e)に示す様に、再び電極13をマスクにして、今度は電荷18の転送方向の下流側が電極13の陰になる斜め方向からP型の不純物25を半導体基体11にイオン注入する。このイオン注入では、不純物25は、第2の電極15の形成予定領域のうちで電荷18の転送方向の下流側には相対的に少なく導入され、上流側には相対的に多く導入される。

【0026】この結果、図1(e)中の右側に示されている様に、図1(d)の状態に比べて、第2の電極15の形成予定領域における半導体基体11中のポテンシャルが電荷18の転送方向とは反対の方向へ傾斜して高くなる。

【0027】次に、図1(f)に示す様に、少なくとも電極13の表面に酸化またはCVDで絶縁膜14を形成する。そして、第1の電極13を形成した場合と同様の工程で第2の電極15を形成し、更に、従来公知の工程を実行して、本実施形態の電荷結合素子を完成させる。

【0028】以上の様な本実施形態の電荷結合素子では、図1(e)中の右側に示されている様に、半導体基体11中のポテンシャル井戸16の底面とポテンシャル障壁17の頂面との何れもが電荷18の転送方向へ傾斜して低くなっている。このため、図2に示されている様に、ポテンシャルディップ19が軽微であれば、ポテンシャル井戸16の底面またはポテンシャル障壁17の頂面が電荷18の転送方向とせいぜい平行になる程度である。

【0029】この結果、図3に示されている様に、本実施形態の電荷結合素子でも既述の一従来例の電荷結合素子と同様の動作によって電荷18が転送されるが、本実施形態の電荷結合素子では、ポテンシャルディップ19が存在していても転送効率の低下が少なく、電荷18を円滑に転送することができる。

【0030】従って、本実施形態の電荷結合素子では、電極13と電極15との重畠量aを多くしたり、電極13の側面を傾斜させたり、絶縁膜12の厚さb自体を薄くしたり、高度にクリーンな設備を用いて電荷結合素子を製造したりする必要がなく、電荷18を円滑に転送するための内部回路を省略することもできる。

【0031】なお、以上の実施形態では、不純物23、

25を1回ずつしかイオン注入していないが、これらの不純物23、25の少なくとも一方を、角度が互いに異なる複数の斜め方向からイオン注入してもよい。また、不純物23、25の斜めイオン注入以外の方法で、電極13、15の形成予定領域における不純物23、25の導入量を分布させてよい。

【0032】更に、以上の実施形態は固体撮像素子の水平転送部及びその製造方法に本願の発明を適用したものであるが、本願の発明はメモリ素子及びその製造方法等にも適用することができる。

【0033】

【発明の効果】請求項1に係る電荷結合素子では、ポテンシャルディップが存在していても転送効率の低下が少なく、電極同士の短絡や絶縁膜の耐圧低下等を少なくすることができる、信頼性及び歩留りが高い。また、電荷を円滑に転送することができるので、低電圧駆動や微細化が可能であり、更に、内部回路を省略することができるので、開発コストの低減やチップの縮小が可能である。

20 【0034】請求項2に係る電荷結合素子では、固体撮像素子における信号電荷の転送効率が高いので、高画質の固体撮像素子を実現することができる。

【0035】請求項3に係る電荷結合素子の製造方法では、ポテンシャル井戸の底面とポテンシャル障壁の頂面とを電荷の転送方向へ傾斜させて低くするにも拘らず、ポテンシャル障壁に対するポテンシャル井戸の相対的な深さが浅くならないので、取扱い電荷量を減少させることなく、信頼性が高い電荷結合素子を高い歩留りで製造することができる。

30 【0036】請求項4に係る電荷結合素子の製造方法では、ポテンシャル井戸の底面とポテンシャル障壁の頂面とを電荷の転送方向へ容易に傾斜させて低くすることができるので、信頼性が高い電荷結合素子を低成本で製造することができる。

【0037】請求項5に係る電荷結合素子の製造方法では、不純物をイオン注入する際のマスク層の形成工程が少なくてよいので、信頼性が高い電荷結合素子を低成本で製造することができる。

40 【0038】請求項6に係る電荷結合素子の製造方法では、ポテンシャル井戸の底面とポテンシャル障壁の頂面とを電荷の転送方向へ容易に傾斜させて低くすることができるので、信頼性が高い電荷結合素子を低成本で製造することができる。

【0039】請求項7に係る電荷結合素子の製造方法では、信号電荷の転送効率が高い固体撮像素子を製造することができるので、高画質の固体撮像素子を製造することができる。

【図面の簡単な説明】

【図1】本願の発明の一実施形態の製造方法を工程順に示す側断面図及び各々の工程に対応するポテンシャル図

50

である。

【図2】本願の発明の原理を説明するためのポテンシャル図である。

【図3】一実施形態による電荷の転送動作を説明するためのポテンシャル図である。

【図4】(a)は2相駆動方式の電荷結合素子の側断面図、(b)は第1の電極の側面を傾斜させた場合の側断面図である。

【図5】本願の発明の一従来例による課題を説明するためのポテンシャル図である。

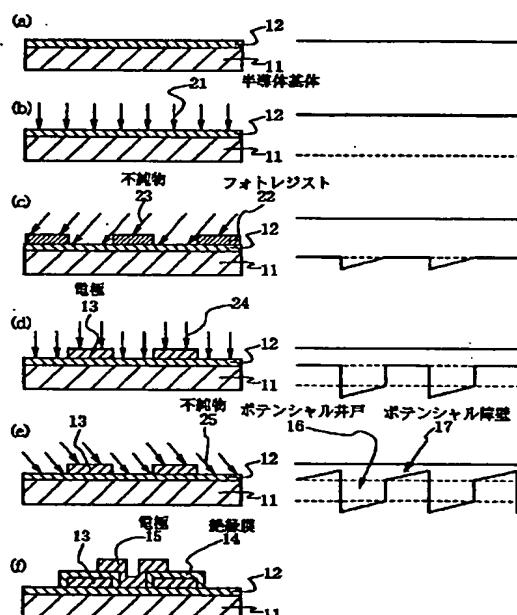
* 【図6】一従来例による電荷の転送動作を説明するためのポテンシャル図である。

【符号の説明】

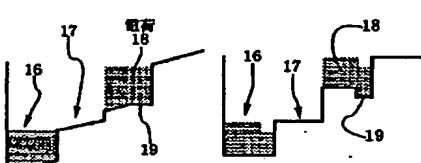
11…半導体基体、13…電極（第1の電極、第2のマスク層）、14…絶縁膜、15…電極（第2の電極）、16…ポテンシャル井戸、17…ポテンシャル障壁、18…電荷、22…フォトレジスト（第1のマスク層）、23…不純物（第1の不純物）、25…不純物（第2の不純物）

*10

【図1】

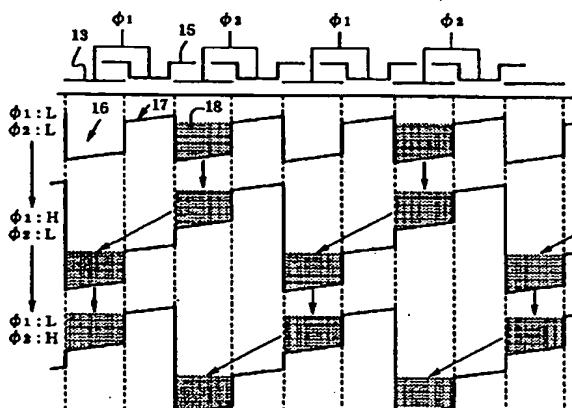


【図2】

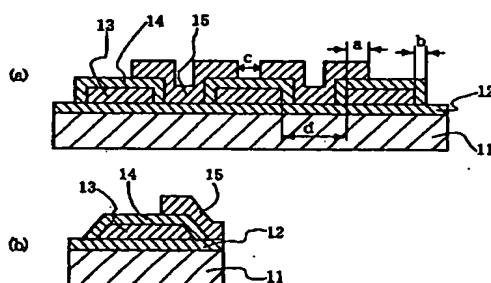


【図5】

【図3】



【図4】



【図6】

